Durante o desenvolvimento do processador notou-se problemas para executar a instrução SW (store word) e SB (store byte). Quando a instrução está no segmento responsável por uso da memória, é fornecido ao sinal “data” o valor do registrador que será salvo na memória, e é ativo o os sinais de controle da memória (ce, rw, bw), estes permanecem ativos durante todo um ciclo de clock. Mas como a memória RAM do projeto é assíncrona, com a troca de instrução o valor de “data” era reiniciado adquirindo o valor (ZZZZZZZZ) e durante este curto período de tempo a RAM salvava este valor por cima do valor esperado (Figura ?). Para contorno deste problema foi criado uma entidade que faz o controle dos sinais que serão enviados para a memória RAM, ele é composto por uma máquina de estados que faz o controle do sinal “ce” para ativar ou não a memória. Quando é detectado que a instrução é um store, o sinal “ce” é acionado e logo depois na decida do clock é desativado para que não seja substituído o valor salvo.